**THỰC HÀNH NHẬP MÔN MẠCH SỐ - LỚP PH002.N16.1**

**BÀI THỰC HÀNH 2: THIẾT KẾ MẠCH SỐ THEO HÀM LUẬN LÝ**

|  |  |  |  |
| --- | --- | --- | --- |
| **Giảng viên hướng dẫn** | **Trương Văn Cương** | | **ĐIỂM** |
| **Sinh viên thực hiện** | **Trần Ngọc Ánh** | **22520077** |  |

1. **Mục tiêu**

* Hiểu được cách thức hoạt động của một Mạch số.
* Kết nối các cổng luận lý thành một Mạch số có chức năng mong muốn.

1. **Nội dung**
   1. **Vận dụng ở nhà (làm cá nhân)**

Câu 1: Thiết kế mạch số theo hàm luận lý: F1(A, B, C, D) = ABD’ + A’B’C + BCD + A’BC’D

* Thiết kế mạch số thỏa hàm luận lý F1 trên Quartus II: (Chú ý: Không được rút gọn luận lý)

|  |
| --- |
|  |

* Đóng gói và mô phỏng chức năng của mạch số vừa thiết kế (16 tổ hợp cần kiểm tra):

|  |
| --- |
|  |

* Điền kết quả mô phỏng vào bảng bên dưới:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F1** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Câu 3: Thiết kế mạch số theo hàm luận lý:

F2(A, B, C, D) = (A + B + D’)(A’ + B’ + C)(B + C + D)(A’ + B + C’ + D)

* Thiết kế mạch số thỏa hàm luận lý F2 trên Quartus II: (Chú ý: Không được rút gọn luận lý)

|  |
| --- |
|  |

* Đóng gói và mô phỏng chức năng của mạch số vừa thiết kế (16 tổ hợp cần kiểm tra):

|  |
| --- |
|  |

* Điền kết quả mô phỏng vào bảng bên dưới:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F2** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Câu 4: Rút gọn hàm luận lý: F3(A, B, C, D) (chính là hàm F1 ở câu 1):

|  |
| --- |
| F3(A, B, C, D) = ABD’ + A’B’C + BCD + A’BC’D = A’B’C + A’BC + ABC + ABD’ |

Câu 5: Thực hiện các bước sau:

* Vẽ và đóng gói mạch ở câu 4
* Trong đường dẫn tải về có một thư mục là cmp\_1bit, sao chép các tệp tin trong thư mục vào project vừa thực hiện. Khi đó sẽ có một symbol là cmp\_1bit trong thư viện, đây là mạch số có chức năng so sánh 2 bits có bằng nhau hay không, nếu bằng nhau thì kết quả là 1.
* Nối module đóng gói mạch ở câu 2, module đóng gói mạch ở câu 4, và cmp\_1bit:

|  |
| --- |
| (em không tìm thấy thư mục cmp\_1bit trong đường dẫn tải về ạ) |

* Mô phỏng với 16 tổ hợp ở câu 2. Nếu đầu ra của cmp\_1bit là 1 nghĩa là kết quả rút gọn ĐÚNG, ngược lại nghĩa là kết quả SAI và cần phải thực hiện lại câu 4:

|  |
| --- |
|  |

Câu 6 [Tùy chọn, điểm cộng thêm]: Lặp lại câu 4 và câu 5 cho hàm F2 ở câu 3.

Tối ưu luận lý F4(A, B, C, D) = (A + B + D’)(A’ + B’ + C)(B + C + D)(A’ + B + C’ + D)

= AB’ + B’C’ + A’BD’ + AC’D



